

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-038091

(43)Date of publication of application : 12.02.1999

(51)Int.Cl.

G01R 31/28
G01R 31/316
H03M 1/00
H03M 1/10

(21)Application number : 09-190935

(71)Applicant : RICOH CO LTD

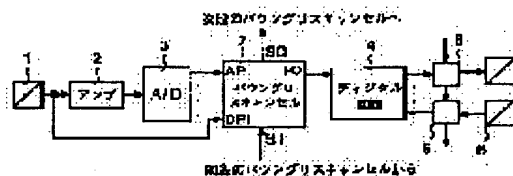
(22)Date of filing : 16.07.1997

(72)Inventor : YAMADA TAKAMITSU
OKA ZENJI**(54) ANALOG-DIGITAL MIXEDLY LOADED CIRCUIT**

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an analog-digital mixedly loaded circuit having a structure which can cancel a state of an analog pad through a board test depending upon a boundary scanning technique.

SOLUTION: A/D converter 3 and a digital circuit 4 are mixedly loaded on the same semiconductor, and a boundary scan cell 7 is arranged in a boundary between the A/D converter 3 and the digital circuit 4. The boundary scan cell 7 has an input section (API) to input the digital output of the A/D converter 3 and an input section (DPI) to input a signal sent from the analog pad 1 in the A/D converter 3, and is equipped with a selection means for selecting either of inputs, and the selecting motion of the selecting means is carried out on a selection signal obtained by decoding a command sent from a nonillustrated boundary scanning command register.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

文庫(3)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-38091

(43) 公開日 平成11年(1999) 2月12日

(51) Int.Cl.⁶

識別記号

F I

G 0 1 R 31/28
31/316
H 0 3 M 1/00
1/10

G 0 1 R 31/28
H 0 3 M 1/00
1/10
G 0 1 R 31/28

G
C
C
U

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号

特願平9-190935

(22) 出願日

平成9年(1997) 7月16日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 山田 孝光

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72) 発明者 岡 善治

東京都大田区中馬込1丁目3番6号 株式会社リコー内

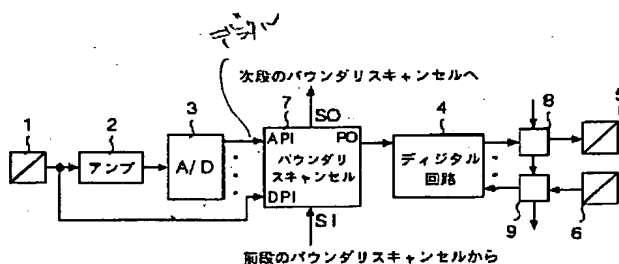
(74) 代理人 弁理士 鳥居 洋

(54) 【発明の名称】 アナログ・デジタル混載回路

(57) 【要約】

【課題】 バウンダリスキャン技術によるボードテストでアナログパッドの状態をスキャンできる構造を有したアナログ・デジタル混載回路を提供する。

【解決手段】 A/D変換器3とデジタル回路4とが同一半導体上に混載され、前記A/D変換器3と前記デジタル回路4との境界にバウンダリスキャンセル7が配置されている。このバウンダリスキャンセル7には、前記A/D変換器3のデジタル出力を入力する入力部(API)と前記A/D変換器3におけるアナログパッド1からの信号を入力する入力部(DPI)とを有して、いずれか一方の入力を選択する選択手段が備えられ、この選択手段の選択動作は、図示しないバウンダリスキャン命令レジスタからの命令をデコードして得られる選択信号にて行われるようになっている。



外部からAPI/DPIへ入力される。

【特許請求の範囲】

【請求項 1】 アナログ回路である A/D 変換器とデジタル回路とが同一半導体上に混載され、前記 A/D 変換器と前記デジタル回路との境界にバウンダリスキャンセルが配置されて成るアナログ・デジタル混載回路において、

前記バウンダリスキャンセルには、前記 A/D 変換器のデジタル出力を入力する入力部と前記 A/D 変換器におけるアナログパッドからの信号を入力する入力部とを有していずれか一方の入力を選択する選択手段が備えられ、この選択手段の選択動作は、バウンダリスキャン命令レジスタからの命令をデコードして得られる選択信号にて行われるようになっていることを特徴とするアナログ・デジタル混載回路。

【請求項 2】 アナログ回路である D/A 変換器とデジタル回路とが同一半導体上に混載され、前記 D/A 変換器と前記デジタル回路との境界にバウンダリスキャンセルが配置されて成るアナログ・デジタル混載回路において、

前記 D/A 変換器の出力パッドに前記バウンダリスキャンセルの出力端がバスを介して接続されており、前記バスはバウンダリスキャン命令レジスタからの命令をデコードして得られる選択信号にて制御されるようになっていることを特徴とするアナログ・デジタル混載回路。

【請求項 3】 アナログ回路である D/A 変換器とデジタル回路とが同一半導体上に混載され、前記 D/A 変換器と前記デジタル回路との境界に配置された第 1 のバウンダリスキャンセル群と、前記デジタル回路とデジタルパッドとの間に配置された第 2 のバウンダリスキャンセル群とが接続されてスキャンチェーンを成しており、このスキャンチェーンの一端側にはテストデータイン端子が設けられ、他端側にはテストデータアウト端子が設けられているアナログ・デジタル混載回路において、

前記テストデータイン端子と前記第 1 のバウンダリスキャンセル群と前記テストデータアウト端子とを結ぶ経路を選択するための選択手段が備えられ、この選択手段の選択動作は、バウンダリスキャン命令レジスタからの命令をデコードして得られる選択信号にて行われるようになっていることを特徴とするアナログ・デジタル混載回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、プリント基板上に搭載したときの回路動作のテストが確実且つ容易に行えるアナログ・デジタル混在回路に関する。

【0002】

【従来の技術】 半導体集積回路 (IC) がプリント基板上に実装されたときに様々なボードテストが行われる。このテスト手法として、IEEE 1149.1 によるバ

ウンダリスキャンが知られている。このバウンダリスキャン対応の IC は、IC 内にレジスタやラッチ回路等から成るバウンダリスキャンセルを備える。複数のバウンダリスキャンセルが互いに接続されることでスキャンチェーン (スキャンレジスタ) をなす。IC がデジタル回路である場合には、IC のパッドと内部ロジック回路との境界に前記スキャンチェーンが挿入される。前記バウンダリスキャンセルを用いることで、IC の通常動作論理に関係なく、前記パッドから信号を入出力でき、前記バウンダリスキャンセルからの信号を調べることで、動作テストが行える。かかるバウンダリスキャン対応の IC は、特開平 4-211842 号公報等に詳細に開示されている。

【0003】 一方、IC がアナログ・デジタル混載回路である場合には、アナログ回路部とデジタル回路部との境界に前記スキャンチェーンが挿入される。図 7 は、アナログ・デジタル混載回路の概略構成を示したブロック図であり、図 8 は、当該アナログ・デジタル混載回路にスキャンチェーンを挿入した場合のブロック図である。図において、101 はアナログパッド、102 はアンプ、103 はアナログ回路 (ここでは A/D 変換器としている)、104 はデジタル回路、105、106 はデジタルのパッドである。そして、201 が前記 A/D 変換器 103 と前記デジタル回路 104 との境界に配置されたバウンダリスキャンセルであり、202、203 がデジタル回路間に配置されたバウンダリスキャンセルであり、これらのバウンダリスキャンセル及び図示しない他のバウンダリスキャンが互いに接続されてスキャンチェーンを構成する。

【0004】

【発明が解決しようとする課題】 しかしながら、上述のごとく、A/D 変換器 103 とデジタル回路 104 との境界に前記バウンダリスキャンセル 201 を挿入した構成では、アナログパッド 101 の状態をスキャンすることができず、アナログパッド 101 に接続される配線の故障診断が行えないことになる。

【0005】 ところで、アナログ・デジタル混在回路の動作テストが容易に行えるようにした技術として、特開昭 62-172751 号公報には、テスト時には A/D 変換器の出力をデジタルパッドに送出して A/D 変換器とデジタル回路とを分離して A/D 変換器側のテストを行うことが開示されており、また、特開昭 63-293485 号公報には、スキャンバスで A/D 変換器とデジタル回路を分離し、前記シフトレジスタにてデータシフトさせることによって A/D 変換器の出力を疑似的に増幅させながらテストを実施することが開示されている。

【0006】 しかしながら、特開昭 62-172751 号公報の技術では、A/D 変換器とデジタル回路との分離の方法が、パッドへの送出信号の切替えだけで行う

ものであり、スキャンバスで分離するようにはなっていない。一方、特開昭 6 3 - 2 9 3 4 8 5 号公報の技術では、スキャンバスで分離を行うものの、バウンダリスキャン技術を用いたものではない。

【0007】この発明は、上記の事情に鑑み、バウンダリスキャン技術によるボードテストにおいてアナログ端子の状態をスキャンできる構造を有したアナログ・デジタル混在回路を提供することを目的とする。

【0008】

【課題を解決するための手段】この発明のアナログ・デジタル混在回路は、上記の課題を解決するために、アナログ回路である A/D 変換器とデジタル回路とが同一半導体上に混載され、前記 A/D 変換器と前記デジタル回路との境界にバウンダリスキャンセルが配置されて成るアナログ・デジタル混載回路において、前記バウンダリスキャンセルには、前記 A/D 変換器のデジタル出力を入力する入力部と前記 A/D 変換器におけるアナログパッドからの信号を入力する入力部とを有していずれか一方の入力を選択する選択手段が備えられ、この選択手段の選択動作は、バウンダリスキャン命令レジスタからの命令をデコードして得られる選択信号にて行われるようになっていることを特徴とする。

【0009】上記の構成であれば、前記 A/D 変換器のアナログパッドからの信号（テスト時はデジタル信号が入力される）を前記選択手段にて選択して、これをバウンダリスキャンセルに取り込むことができるので、前記アナログパッドの状態をバウンダリスキャン機構によってスキャンできる。従って、ボードテストにおいてアナログ・デジタル混載回路のアナログパッドに繋がる配線の不良やはんだ付けの不良を検出することが可能となる。

【0010】また、この発明のアナログ・デジタル混載回路は、アナログ回路である D/A 変換器とデジタル回路とが同一半導体上に混載され、前記 D/A 変換器と前記デジタル回路との境界にバウンダリスキャンセルが配置されて成るアナログ・デジタル混載回路において、前記 D/A 変換器の出力パッドに前記バウンダリスキャンセルの出力端がバスを介して接続されており、前記バスはバウンダリスキャン命令レジスタからの命令をデコードして得られる選択信号にて制御されるようになっていることを特徴とする。

【0011】上記の構成であれば、前記バウンダリスキャンセルの信号を、前記バスを用いて前記 D/A 変換器の出力パッドから出力させることができるので、前記出力パッドの状態をバウンダリスキャン機構によってスキャンできる。従って、ボードテストにおいてアナログ・デジタル混載回路の出力パッドに繋がる配線の不良やはんだ付けの不良を検出することが可能となる。

【0012】また、この発明のアナログ・デジタル混載回路は、アナログ回路である D/A 変換器とデジタル

回路とが同一半導体上に混載され、前記 D/A 変換器と前記デジタル回路との境界に配置された第 1 のバウンダリスキャンセル群と、前記デジタル回路とデジタルパッドとの間に配置された第 2 のバウンダリスキャンセル群とが接続されてスキャンチェーンを成しており、このスキャンチェーンの一端側にはテストデータイン端子が設けられ、他端側にはテストデータアウト端子が設けられているアナログ・デジタル混載回路において、前記テストデータイン端子と前記第 1 のバウンダリスキャンセル群と前記テストデータアウト端子とを結ぶ経路を選択するための選択手段が備えられ、この選択手段の選択動作は、バウンダリスキャン命令レジスタからの命令をデコードして得られる選択信号にて行われるようになっていることを特徴とする。

【0013】上記の構成であれば、前記 A/D 変換器の動作テストを行うときには、前記選択手段により、テストデータイン端子と前記第 1 のバウンダリスキャンセル群と前記テストデータアウト端子とを結ぶ経路、即ち、部分的なスキャンチェーンを生成することができる。従って、A/D 変換器の動作テストを行うのに、スキャンチェーン全体を用いる場合に比べればテスト時間を短縮することができる。

【0014】

【発明の実施の形態】

（実施の形態 1）以下、この発明の実施の形態を図に基づいて説明する。

【0015】図 1 は、この実施の形態のアナログ・デジタル混載回路である。図において、1 はアナログパッド、2 はアンプ、3 は A/D 変換器、4 はデジタル回路、5、6 はデジタルのパッド、7、8、9 はバウンダリスキャンセルである。これらのバウンダリスキャンセル 7、8、9 及び図示しない他のバウンダリスキャンセルが互いに接続されてスキャンチェーンを構成する。前記バウンダリスキャンセル 8、9 は、D/A 変換器 4 とデジタルのパッド 5、6 の間に設けられたものである一方、前記バウンダリスキャンセル 7 は、デジタル回路 4 と A/D 変換器 3 との境界に設けられたものである。このバウンダリスキャンセル 7 は、前記 A/D 変換器 3 のデジタル出力を入力する入力部（API）と前記 A/D 変換器 3 におけるアナログパッド 1 からの信号をダイレクトに入力する入力部（DPI）と、前段の図示しないバウンダリスキャンに接続される端子（SI）と、次段の図示しないバウンダリスキャンが接続される端子（SO）と、前記デジタル回路 4 に接続される出力部（PO）とを有している。また、このバウンダリスキャンセル 7 には、SELECT、CAPTUR、UPDATA、MODE といった信号が入力される。なお、UPDATA は、図示しない TAP（テストアクセスポート）からの制御信号であり、MODE は図示しない命令レジスタ内の命令コードをデコードして分配された制

御信号である。

【0016】図2は、バウンダリスキャンセル7の内部構成を示したブロック図である。第1マルチプレクサ7aは、入力部(API)と入力部(DPI)とのいずれか一方の入力を選択し、第2マルチプレクサ7bの一方の入力端子に出力する。第1マルチプレクサ7aの選択動作は、図示しないバウンダリスキャン命令レジスタからの命令をデコーダ(このデコーダは例えばプログラムロジックアレイ等にて構成される)にてデコードして得られる選択信号である前記SELECTにて行われるものであり、EXTTEST時には、前記入力部(DPI)が選択され、A/D変換器3の検査時は前記入力部(API)が選択される。第2マルチプレクサ7bは、第1マルチプレクサ7aが出力する信号と前記端子(SI)からの信号とのいずれかを選択して出力する。第1フリップフロップ(CAP)は、前記CAPTUR信号に基づいて前記第2マルチプレクサ7bの出力保持する。第2フリップフロップ(UPD)は、前記UPDATE信号に基づいて前記第1フリップフロップ(CAP)の出力を保持する。第3マルチプレクサ7eは、第2マルチプレクサ7bが出力する信号と前記第2フリップフロップ(UPD)が出力する信号とのいずれかを、前記MODE信号に基づいて選択し、前記出力部(PO)に出力する。

【0017】次に、上記アナログ・デジタル混載回路の動作を図3及び図4に基づいて説明する。図3はEXTTEST時の信号経路を説明し、図4はA/D変換器3の検査時の信号経路を説明している。

【0018】A/D変換器3の検査時は、図4に示すように、アナログパッド1にアナログテスト信号が入力される。このアナログテスト信号は、前記入力部(API)を介してバウンダリスキャンセル7に取り込まれ、A/D変換器3の動作テストが実行される。EXTTEST時は、図3に示すように、アナログパッド1にデジタルのテスト信号が入力される。このテスト信号は、前記入力部(DPI)を介してバウンダリスキャンセル7に取り込まれるので、前記アナログパッド1の状態をバウンダリスキャン機構によってスキャンできる。従って、ボードテストにおいてアナログ・デジタル混載回路のアナログパッド1に繋がる配線の不良やはんだ付けの不良を検出することが可能となる。

【0019】(実施の形態2)図5はこの第2の実施の形態のアナログ・デジタル混載回路の要部を示した回路図である。D/A変換器12と図示しないデジタル回路との境界にバウンダリスキャンセル11が設けられている。D/A変換器12の出力端は、ゲート13を介して出力パッド14に接続されている。そして、D/A変換器12の入力端と前記ゲート13の出力端との間を結ぶライン15a及びこのライン15a中に挿入されているスリーステートバッファ15bによりバス15が構成

されている。前記スリーステートバッファ15bの制御端子には、命令デコーダ16から制御信号が入力されるようになっている。命令デコーダ16には、TCK(テストクロック)、TMS(テストモードセレクト)、及びTDI(テストデータイン)が入力される。

【0020】上記の構成であれば、D/A変換器12の検査時は、命令デコーダ16からの命令(制御信号)によってスリーステートバッファ15bはディスエーブルとなり、出力パッド14にD/A変換器12からのアナログ信号が出力される。このアナログ信号を検出することで、D/A変換器12の動作テストが行える。一方、EXTTEST時などにおいては、命令デコーダ16からの命令(制御信号)によってスリーステートバッファ15bはイネーブルとなり、前記バウンダリスキャンセル11の信号を、前記バス15を用いて前記D/A変換器12の出力パッド14から出力させることができるので、前記出力パッド14の状態をバウンダリスキャン機構によってスキャンできる。従って、ボードテストにおいてアナログ・デジタル混載回路の出力パッド14に繋がる配線の不良やはんだ付けの不良等を検出することが可能となる。即ち、IEEE1149.1のEXTTEST(配線接続テスト)命令、HIGHZ(ハイインピーダンステスト)命令、CLAMP(クランプテスト)命令が出力パッド14において実施できることになる。

【0021】(実施の形態3)この実施の形態のアナログ・デジタル混載回路は、図7(a)に示す基本構成において同図(b)のごとく改良したものである。基本構成を簡単に説明すると、アナログパッド20…を備えるD/A、A/D変換部22とデジタルパッド21…を備えるデジタル回路23とが同一半導体上に混載される。前記D/A、A/D変換部22と前記デジタル回路23との境界には、第1のバウンダリスキャンセル群24が配置され、前記デジタル回路23とデジタルパッド21…との間には、第2のバウンダリスキャンセル群25が配置され、これらが接続されてスキャンチェーンを成している。このスキャンチェーンの一端側にはテストデータイン端子(TDI)が設けられ、他端側にはテストデータアウト端子(TDO)が設けられている。

【0022】改良点について説明すると、同図(b)に示しているように、前記テストデータイン端子(TDI)と前記第1のバウンダリスキャンセル群24の入力側端との間に、これらを結ぶライン26を設ける。また、第1のバウンダリスキャンセル群24の出力側端とセクタ28との間に、これらを結ぶライン27を設けている。前記セクタ28は、2入力の構成で、一方の入力端には前記ライン27が接続され、他方の入力端には第2のバウンダリスキャンセル群25の出力端(TDO)に接続されていた部分が接続されており、この2入力のいずれかをSELECT信号に基づいて選択してTDOに出力する。SELECT信号は、図示しないバウ

ンダリスキャン命令レジスタからの命令をデコードにてデコードして得られる信号であり、通常テストのときには、第2のバウンダリスキャン群25の出力端を選択させ、前記D/A、A/D変換部22のテストのときには、前記ライン27を選択させるようになっている。

【0023】第1のバウンダリスキャン群24の入力側端の構成は、実施の形態1で示した図4を流用して説明すると、バウンダリスキャン7の入力端(SI)の部分に図示しないマルチプレクサを備えた構成に相当し、前記入力端(SI)の信号と、TDIの信号とを選択する。この選択の動作も、図示しないバウンダリスキャン命令レジスタからの命令をデコードにてデコードして得られる信号により行われ、通常テストのときには、入力端(SI)の信号が選択され、D/A、A/D変換部22のテストのときには、前記TDI(即ち、ライン26)を選択するようになっている。

【0024】上記の構成であれば、前記D/A、A/D変換部22の動作テストを行うときには、前記図示しないマルチプレクサ及びセクタ28により、テストデータイン端子(TDI)→第1のバウンダリスキャン群24→テストデータアウト端子(TDO)とを結ぶ経路、即ち、部分的なスキャンチェーンを生成することができる。従って、D/A、A/D変換部22の動作テストを行うのに、スキャンチェーン全体を用いる場合に比べればテスト時間を短縮することができる。

【0025】

【発明の効果】以上説明したように、この発明によれば、アナログ・デジタル混載回路において、アナログ回路側のパッドの状態検査が容易行えるという効果を奏する。また、アナログ回路の検査を行うときには部分的なスキャンチェーンを生成してテスト時間を短縮できるという効果を奏する。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態のアナログ・デジタル混載回路の要部を示すブロック図である。

【図2】図1のアナログ・デジタル混載回路におけるバウンダリスキャンを示す回路図である。

【図3】図1のアナログ・デジタル混載回路におけるアナログ側のパッドの状態を検査するときの信号の流れを示す説明図である。

【図4】図1のアナログ・デジタル混載回路におけるアナログ回路の状態を検査するときの信号の流れを示す説明図である。

【図5】この発明の第2の実施の形態のアナログ・デジタル混載回路の要部を示すブロック図である。

【図6】同図(a)はアナログ・デジタル混載回路の基本構成の一例を示すブロック図であり、同図(b)は同図(a)について改良を図ったこの発明の第3の実施の形態のアナログ・デジタル混載回路を示すブロック図である。

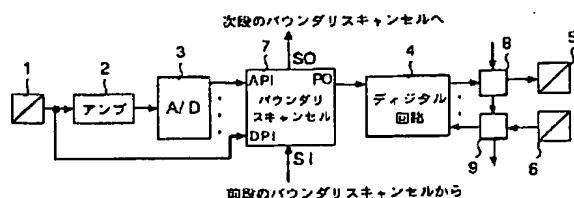
【図7】アナログ・デジタル混載回路の基本構成の一例を示すブロック図である。

【図8】従来のバウンダリスキャン構成のアナログ・デジタル混載回路の一例を示すブロック図である。

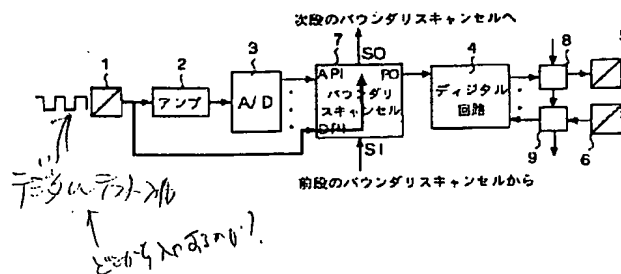
【符号の説明】

- 1 アナログパッド
- 2 アンプ
- 3 A/D変換器
- 4 デジタル回路
- 5, 6 デジタルのパッド
- 7, 8, 9 バウンダリスキャンセル
- 11 バウンダリスキャン
- 12 D/A変換器
- 14 出力パッド
- 15 バス
- 15a ライン
- 15b スリーステートバッファ
- 16 命令デコーダ
- 20 アナログパッド
- 21 デジタルパッド
- 22 D/A、A/D変換部
- 23 デジタル回路
- 24 第1のバウンダリスキャン群
- 25 第2のバウンダリスキャン群
- 26 ライン
- 27 ライン
- 28 セクタ

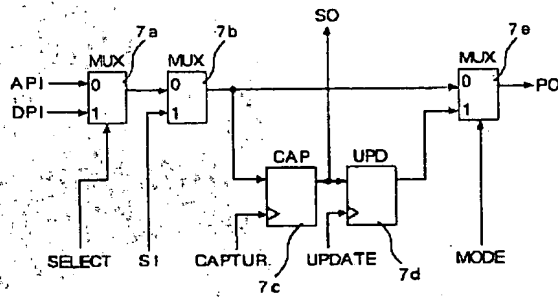
【図1】



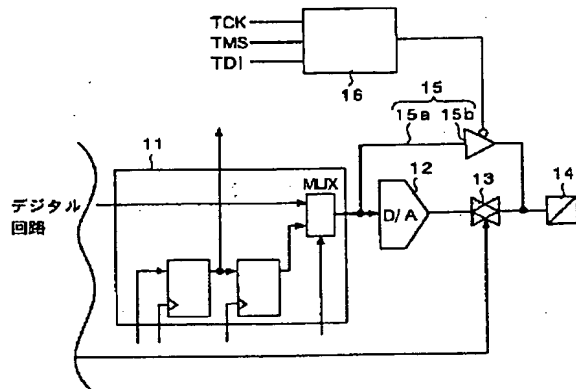
【図3】



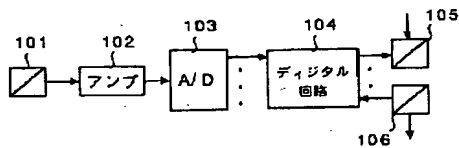
【図2】



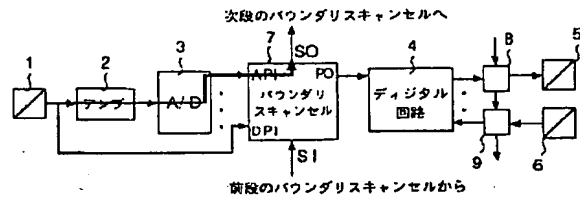
【図5】



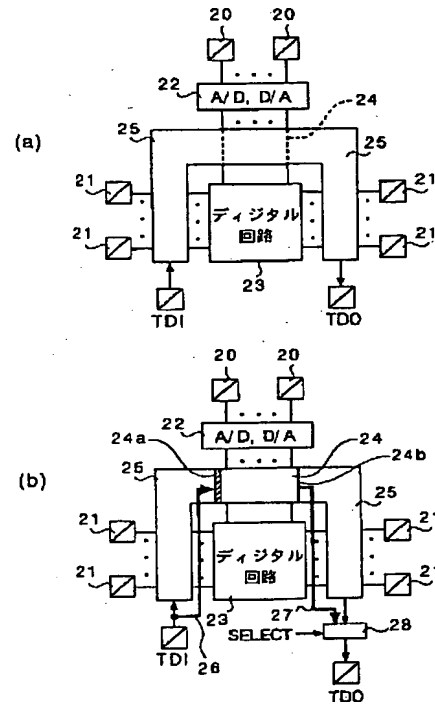
【図7】



【図4】



【図6】



【図8】

